

Rec'd PCT/NO 23 JUL 2004

PATENTTI- JA REKISTERIHALLITUS
NATIONAL BOARD OF PATENTS AND REGISTRATION

PCT/FI 03 / 00064

Helsinki 26.2.2003

ETUOIKEUSTODISTUS
PRIORITY DOCUMENT

REC'D 01 APR 2003

WIPO PCT



Hakija
Applicant

Aspocomp Group Oy
Vantaa

Patenttihakemus nro
Patent application no

20020190

Tekemispäivä
Filing date

31.01.2002

Kansainvälinen luokka
International class

H05K

Keksinnön nimitys
Title of invention

"Menetelmä komponentin upottamiseksi alustaan ja kontaktin
muodostamiseksi"

Hakemus on hakemusdiaariin 29.09.2002 tehdyn merkinnän mukaan
siirtynyt Imbera Electronics Oy:lle, kotipaikka Espoo.

The application has according to an entry made in the register
of patent applications on 29.09.2002 been assigned to Imbera
Electronics Oy, Espoo.

Täten todistetaan, että oheiset asiakirjat ovat tarkkoja jäljennöksiä
Patentti- ja rekisterihallitukselle alkuaan annetuista selityksestä,
patenttivaatimuksista, tiivistelmästä ja piirustuksista.

This is to certify that the annexed documents are true copies of the
description, claims, abstract and drawings originally filed with the
Finnish Patent Office.

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Marketta Tehikoski

Marketta Tehikoski
Apulaistarkastaja

Maksu 50 €
Fee 50 EUR

Maksu perustuu kauppa- ja teollisuusministeriön antamaan asetukseen 1027/2001 Patentti-
ja rekisterihallituksen maksullisista suoritteista muutoksineen.

The fee is based on the Decree with amendments of the Ministry of Trade and Industry
No. 1027/2001 concerning the chargeable services of the National Board of Patents and
Registration of Finland.

Osoite: Arkadiankatu 6 A Puhelin: 09 6939 500 Telefax: 09 6939 5328
P.O.Box 1160 Telephone: + 358 9 6939 500 Telefax: + 358 9 6939 5328
FIN-00101 Helsinki, FINLAND

BEST AVAILABLE COPY

Menetelmä komponentin upottamiseksi alustaan ja kontaktin muodostamiseksi

Keksinnön kohteena on menetelmä yhden tai useamman komponentin upottamiseksi alustaan ja niiden kontaktoimiseksi.

- 5 Keksinnön kohteena olevilla menetelmillä käsiteltäviä alustoja käytetään elektroniikka-
tuotteissa sähköisten komponenttien, tyypillisesti puolijohdekomponenttien ja erityisesti
mikropiirien alustana. Alustan tehtävänä on tarjota komponentille mekaaninen
kiinnitysalusta sekä tarvittavat sähköiset yhteydet alustalla oleviin muihin
komponentteihin ja alustan ulkopuolelle. Alusta voi olla piirilevy, jolloin keksinnön
10 kohteena oleva menetelmä liittyy läheisesti piirilevynvalmistustekniikkaan. Alusta voi
olla myös muu alusta, esimerkiksi komponentin tai komponenttien paketoimisessa
käytettävä alusta tai kokonaisen toiminnallisen moduulin alusta.

- Mikropiirien valmistuksesta piirilevynvalmistustekniikat poikkeavat mm. siten, että
mikropiirien valmistustekniikoissa substraattina on puolijohdemateriaali, kun taas
15 piirilevyn perusmateriaali on eriste. Mikropiirien valmistustekniikat ovat myös
tyypillisesti huomattavasti kalliimpia kuin piirilevynvalmistustekniikat.

- Pakkaustekniikoista piirilevynvalmistustekniikat poikkeavat siten, että pakkaus-
tekniikoiden tarkoituksena on muodostaa puolijohdekomponentin ympärille pakkaus,
joka helpottaa komponentin käsittelyä. Puolijohdekomponentin pinnalla on
20 kontaktiosia, tyypillisesti ulokkeita, joiden avulla pakattu komponentti on helppo asettaa
piirilevylle. Puolijohdepakkaus sisältää lisäksi johteet, jotka yhdistävät pakkauksen
ulkopuolelle ulottuvat kontaktiosat puolijohdekomponentin pinnalla oleviin kontakti-
alueisiin, joiden kautta jännite voidaan kytkeä varsinaiseen puolijohteeseen.

- Perinteisellä tekniikalla valmistetut komponenttien pakkaukset vievät kuitenkin
25 huomattavasti tilaa. Elektroniikkalaitteiden pienentyessä onkin pyritty eroon
puolijohdekomponenttien pakkaamisesta. Tätä tarkoitusta varten on kehitetty mm. flip-
chip -teknologiaa, jossa pakkaamaton puolijohdekomponentti ladotaan suoraan
piirilevyn pinnalle. Flip-chip -tekniikassa on kuitenkin monia vaikeuksia. Esimerkiksi
ongelmia voi aiheutua liitosten luotettavuuden kanssa erityisesti sellaisissa
30 sovelluksissa, joissa piirilevyn ja puolijohdekomponentin välille syntyy mekaanisia

jännityksiä. Mekaanisia jännityksiä joudutaan tasoittamaan lisäämällä chipin ja piirilevyn väliin soveltuvaa kiinnitysainetta (underfill). Tämä menetelmävaihe hidastaa prosessia ja lisää valmistuskustannuksia. Jännityksiä syntyy erityisesti sellaisissa sovelluksissa, joissa käytetään taipuisaa piirilevyä ja piirilevyä taivutetaan voimakkaasti.

Tämän keksinnön tarkoituksena on aikaansaada menetelmä, jonka avulla pakkaamattomia mikropiirejä on mahdollista kiinnittää alustaan ja kontaktoida luotettavasti mutta edullisesti.

Keksintö perustuu siihen, että puolijohdekomponentit tai ainakin osa niistä upotetaan alustaan, kuten piirilevyyn, alustan valmistamisen aikana, jolloin osa alustarakenteesta ikään kuin valmistetaan puolijohdekomponenttien ympärille. Keksinnön mukaan alustaan valmistetaan ensin ainakin yksi johdinkuvio sekä läpireiät puolijohdekomponentteja varten. Tämän jälkeen reikiin sijoitetaan puolijohdekomponentit johdinkuvion suhteen kohdistettuina. Puolijohdekomponentit kiinnitetään alustan rakenteeseen ja alustan valmistetaan yksi tai useampia johdinkuviokerroksia siten, että ainakin yksi johdinkuvio muodostaa sähköisen kontaktin puolijohdekomponentin pinnalla olevien kontaktialueiden kanssa.

Täsmällisemmin sanottuna keksinnön mukaiselle menetelmälle on tunnusomaista se, mikä on esitetty patenttivaatimuksessa 1.

Keksinnön avulla saavutetaan huomattavia etuja. Keksinnön avulla voidaan nimittäin valmistaa piirilevy, jonka sisään on upotettu puolijohdekomponentteja. Keksinnön avulla voidaan myös valmistaa komponentin ympärille pienikokoinen ja luotettava komponenttipakkaus.

Keksintö mahdollistaa myös runsaasti edullisia sovellusmuotoja, jotka tuovat merkittäviä lisäetuja.

Keksinnöllä avulla on esimerkiksi mahdollista yhdistää komponentin pakkausvaihe, piirilevyn valmistusvaihe ja puolijohdekomponenttien ladonta ja kontaktointivaihe yhdeksi kokonaisuudeksi. Erillisten prosessivaiheiden yhdistäminen tuo merkittäviä logistisia etuja ja mahdollistaa pienemmän ja luotettavamman elektronisen moduulin valmistamisen. Edelleen lisätuna on se, että tällainen elektronisen moduulin

valmistusmenetelmä voi pääosin käyttää hyväksi yleisesti käytössä olevia piirilevynvalmistus- ja ladontatekniikoita.

Keksinnön edullisen sovellusmuodon mukainen yhdistelmäprosessi on kokonaisuutena yksinkertaisempi kuin piirilevyn valmistaminen ja komponenttien liittäminen piirilevyyn esim. flip-chip-tekniikalla. Tällaisilla edullisilla sovellusmuodoilla saavutetaan perinteiseen ratkaisuun verrattuna seuraavia etuja:

- Komponenttien kontaktoimisessa ei tarvita juottamista, vaan sähköinen kontakti voidaan valmistaa kasvattamalla johteet puolijohdekomponentin kontaktialueiden päälle. Tämä tarkoittaa sitä, että komponentin liittämisessä ei tarvitse käyttää sulaa metallia, joten metallien välisiä yhdisteitä ei muodostu. Metallien väliset yhdisteet ovat yleensä hauraita, joten luotettavuus paranee juottamalla tehtyihin liitoksiin verrattuna. Erityisesti pienissä liitoksissa metalliyhdisteiden hauraus aiheuttaa suuren ongelman. Edullisen sovellusmuodon mukaisessa juotteettomassa ratkaisussa voidaankin päästä juotteellisia ratkaisuja selvästi pienempiin rakenteisiin. Juotteettoman kontaktointimenetelmän etuna on myös se, että kontaktoinnissa ei tarvita korkeita lämpötiloja. Matalampi prosessilämpötila mahdollistaa suuremman valinnanvaran piirilevyn, komponenttipaketin tai elektroniikkamoduulin muita materiaaleja valittaessa. Menetelmässä pohjalevyn, komponentin ja komponenttiin välittömästi liittyvän johdekerroksen lämpötila voidaan pitää välillä 20 – 85 °C. Ainoastaan käytettävien polymeerikalvojen kovettamiseen (polymerisointiin) saatetaan tarvita korkeampia lämpötiloja, esimerkiksi noin 150 °C lämpötilaa. Pohjalevyn ja komponenttien lämpötila voidaan kuitenkin pitää alle 200 °C:n kautta koko prosessin. Menetelmässä voidaan käyttää myös polymeerikalvoja, jotka kovetetaan muuten kuin lämpötilan vaikutuksesta, esimerkiksi kemiallisesti tai sähkömagneettisen säteilyn, kuten UV-valon, avulla. Tällaisen menetelmän edullisessa sovellusmuodossa pohjalevyn ja komponenttien lämpötila voidaan pitää koko prosessin ajan alle 100 °C:ssa.
- Koska menetelmällä pystytään valmistamaan pienempiä rakenteita, komponentit voidaan sijoittaa lähemmäs toisiaan. Tällöin myös komponenttien väliset johtimet jäävät lyhemmiksi ja elektroniikkapiiriin sähköiset ominaisuudet paranevat, esim. häviöt, häiriöt ja kulkuaikaviiveet voivat pienentyä.

- Menetelmä mahdollistaa myös kolmedimensionaalisten rakenteiden valmistamisen, sillä alustoja ja alustoihin upotettuja komponentteja voidaan latio päällekkäin.
- Menetelmässä voidaan myös vähemmän eri metallien välisiä rajapintoja.
- Menetelmä mahdollistaa lyijyttömän prosessin.

5 Keksintö mahdollistaa myös muita edullisia sovellusmuotoja. Keksinnön yhteydessä voidaan mm. käyttää taipuisaa piirilevyä. Edelleen prosessi mahdollistaa piirilevyjen latomisen päällekkäin.

10 Keksinnön avulla on myös mahdollista valmistaa erittäin ohuita rakenteita, joissa puolijohdekomponentit ovat rakenteen ohuudesta huolimatta kauttaaltaan suojattuna alustan, kuten piirilevyn, sisällä.

Koska puolijohdekomponentit voidaan sijoittaa kokonaan piirilevyn sisälle, piirilevyn ja puolijohdekomponentin välisestä liitoksesta tulee mekaanisesti kestävä ja luotettava.

Keksintöä tarkastellaan seuraavassa esimerkkien avulla ja oheisiin piirustuksiin viitaten.

Kuvio 1 esittää poikkileikkauskuvasarjan yhdestä keksinnön mukaisesta prosessista.

15 Kuvio 2 esittää poikkileikkauskuvasarjan toisesta keksinnön mukaisesta prosessista.

Kuvio 3 esittää poikkileikkauskuvasarjan kolmannesta keksinnön mukaisesta prosessista.

Kuvion 1 esittämässä kuvasarjassa on kuvattu yksi mahdollinen keksinnön mukainen prosessi. Seuraavassa tarkastellaan kuvion 1 prosessia vaiheittain:

20 **Vaihe A (kuvio 1A):**

Vaiheessa A valitaan piirilevyn valmistusprosessia varten sopiva pohjalevy 1. Pohjalevy 1 voi olla esim. lasikuituvahvistettu epoksilevy, kuten FR4 -tyyppinen levy. Pohjalevy 1 voi esimerkkiprosessissa siis olla orgaaninen levy, sillä esimerkkiprosessissa ei tarvita korkeita lämpötiloja. Pohjalevyksi 1 voidaan siis valita taipuisa ja halpa orgaaninen levy. Tyypillisesti pohjalevyksi 1 valitaan levy, joka on jo valmiiksi pinnoitettu johdemateriaalilla 2, tavallisimmin kuparilla. Toki voidaan käyttää myös epäorgaanista levyä.

Vaihe B (kuvio 1B):

Vaiheessa B pohjalevyyn valmistetaan läpireiät 3 sähköistä kontaktia varten. Reiät 3 voidaan valmistaa esim. jollakin tunnetulla piirilevynvalmistuksessa käytetyllä menetelmällä, esim. mekaanisesti poraamalla.

5 **Vaihe C (kuvio 1C):**

Vaiheessa C kasvatetaan metallia 4 vaiheessa B valmistettuihin läpireikiin. Esimerkkiprosessissa metallia 4 kasvatetaan samalla myös piirilevyn päälle, joten myös johdekerroksen 2 paksuus kasvaa.

- 10 Kasvatettava johdemateriaali 4 on kuparia tai jotain muuta riittävästi sähköä johtavaa materiaalia. Kuparimetallointi voidaan tehdä pinnoittamalla reiät ohuella kerroksella kemiallista kuparia ja tämän jälkeen pinnoitusta voidaan jatkaa sähkökemiallisella kuparinkasvatusmenetelmällä. Kemiallista kuparia käytetään esimerkissä siksi, koska se pinnoittuu myös polymeerin päälle ja toimii sähkönjohtajana sähkökemiallisessa pinnoituksessa. Metallin kasvatus voidaan siis suorittaa märkäkemiallisella
- 15 menetelmällä, joten kasvattaminen on halpaa. Vaihtoehtoisesti johdekerros 4 voidaan valmistaa esim. täyttämällä läpireiät sähköä johtavalla pastalla.

Vaihe D (kuvio 1D):

- 20 Vaiheessa D piirilevyn pinnalla oleva johdekerros kuvioidaan. Tämä voidaan tehdä yleisesti tunnettuja piirilevynvalmistusmenetelmiä hyväksikäyttäen. Johdekerroksen kuviointi kohdistetaan esimerkiksi vaiheessa B valmistettuihin reikiin.

- Johdinkuvion valmistus voidaan suorittaa esim. siten, että metallin 4 pinnalle laminoidaan valokuvioitava polymeerikalvo, johon muodostetaan haluttu johdinkuvio johtamalla valoa kuvioidun maskin lävitse. Valotuksen jälkeen polymeerikalvo kehitetään, jolloin siitä poistetaan halutut alueet ja polymeerin alla oleva kupari 4 paljastuu. Tämän jälkeen filmin alta paljastunut kupari syövytetään pois ja jäljelle jää haluttu johdinkuvio. Polymeeri toimii ns. etsausmaskina ja metallikerrokseen 4 muodostuu aukkoja 5, joiden kohdalta paljastuu piirilevyn pohjalevy. Tämän jälkeen polymeerikalvo poistetaan myös kuparin 4 päältä.
- 25

Vaihe E (kuvio 1E):

Vaiheessa E pohjalevyyn valmistetaan reiät 6 mikropiirejä varten. Reiät ulottuvat koko pohjalevyn läpi ensimmäiseltä pinnalta 1a toiselle pinnalle 1b. Reiät 6 voidaan valmistaa esim. mekaanisesti jyrsimällä erotusjyrsimen avulla. Reiät 6 voidaan valmistaa myös esim. lyömällä. Reiät 6 kohdistetaan piirilevyn johdinkuvioiden 4 suhteen. Kohdistamisessa voidaan käyttää apuna myös vaiheessa B valmistettuja reikiä 3, mutta tällöinkin on kysymyksessä kohdistus johdinkuvioiden 4 suhteen sillä johdinkuvioilla 4 on tietty asema reikiin 3 nähden.

Vaihe F (kuvio 1F):

Vaiheessa F reikien 6 yli laminoidaan teippi 7 tai vastaava. Teippi 7 laminoidaan siten, että se pingottuu suorana reiän 6 yli pohjalevyn toista pintaa 1b pitkin. Teipin tarkoituksena on pitää seuraavassa vaiheessa ladottavat komponentit paikoillaan kunnes komponentit on kiinnitetty piirilevyn lopullisella kiinnitystavalla.

Vaihe G (kuvio 1G):

Vaiheessa G reikiin 6 ladotaan pohjalevyn ensimmäisen pinnan 1a puolelta mikropiirit 8. Ladonta voidaan suorittaa tarkan ladontakoneen avulla ja mikropiirit 8 kohdistetaan piirilevyn johdinkuvioiden suhteen. Kohdistuksessa voidaan vaiheen E tapaan käyttää apuna vaiheessa B valmistettuja reikiä.

Mikropiirit 8 ladotaan siten, että ne tarttuvat reikien 6 "pohjalla" olevaan teipin 7 liimapintaan.

Vaihe H (kuvio 1H):

Vaiheessa H mikropiirit 8 kiinnitetään piirilevyn pohjalevyyn täyttämällä mikropiirejä varten valmistetut reiät täyteaineella 9. Esimerkkiprosessissa tämä vaihe tehdään levittämällä piirilevyn ensimmäisen pinnan (1a) puolelta reikiin ja mikropiirien 7 päälle valuepoksia. Epoksi tasoitetaan lastalla ja kovetetaan paistamalla sitä uunissa.

Vaihe I (kuvio 1I):

Vaiheessa I poistetaan vaiheessa F laminoitu teippi.

Vaihe J (kuvio 1J):

Vaiheessa J piirilevyn pinnalle valmistetaan polymeerikalvo 10 sekä polymeerikalvon päälle ohut metallipinnoite 11. Kalvo valmistetaan mieluiten piirilevyn molemmille pinnoille, mutta ainakin piirilevyn toiselle pinnalle (1b).

5 Esimerkkiprosessissa vaihe J tehdään laminoimalla piirilevyn pinnalle ohut polymeerikalvo (esim. n. 40 μ m), jonka päällä on kerros kuparia (esim. n. 5 μ m). Laminointi tapahtuu paineen ja lämmön avulla. Esimerkkiprosessissa kalvo on siis RCC-kalvo (Resin Coated Copper).

10 Polymeerikalvo voidaan valmistaa myös esim. levittämällä polymeeri piirilevylle nestemäisessä muodossa. Laminointi ei siten ole olennaista vaiheelle J. Olennaista on sen sijaan se, että piirilevylle, joka sisältää upotettuja komponentteja, erityisesti upotettuja mikropiirejä, valmistetaan eristekerros, tyypillisesti polymeerikalvo. Itse polymeerikalvo voi olla sovelluksen mukaan täytetty tai täyttämätön polymeerikalvo. Polymeerikalvo voi olla myös metallipinnoitettu, mutta tämä ei ole välttämätöntä, sillä johdepinta on mahdollista valmistaa myös myöhemmin jo piirilevyyn kiinnitetyn
15 polymeerikalvon päälle.

Vaihe J mahdollistaa sen, että esimerkkiprosessissa voidaan käyttää tavanomaisia piirilevynvalmistuksessa käytettyjä valmistusmenetelmiä ja työvaiheita ja silti haudata piirilevyn sisään mikropiirejä ja muita komponentteja.

Vaihe K (kuvio 1K):

20 Vaiheessa K polymeerikalvoon 10 (ja samalla johdekalvoon 11) valmistetaan reiät 12, joiden kautta voidaan muodostaa kontaktit piirilevyn johdinkuvioihin ja läpivienteihin (johdemateriaali 4) sekä mikropiireihin 8.

Reiät 12 voidaan valmistaa esim. laserilla tai jollakin muulla sopivalla menetelmällä. Kohdistukseen voidaan käyttää vaiheessa D valmistettua johdinkuviota tai vaiheessa B valmistettuja läpireikiä.
25

Vaihe L (kuvio 1L):

Vaihe L vastaa vaihetta C. Vaiheessa L reikiin 12 ja piirilevyn pinnoille valmistetaan johdekerros 13.

Esimerkkiprosessissa läpiviennit (reiät 12) puhdistetaan ensin kolmivaiheisella desmear käsittelyllä. Tämän jälkeen läpiviennit metalloidaan siten, että ensin muodostetaan polymeerin katalysoiva SnPd-pinnoite ja tämän jälkeen pinnalle saostetaan kemiallista kuparia ohut kerros (noin 2µm). Kuparin 13 paksuutta kasvatetaan sähkökemiallisella saostuksella.

Vaihtoehtoisesti läpiviennit voidaan täyttää sähköä johtavalla pastalla tai valmistaa jollakin muulla soveltuvalla mikroläpivientien metallointimenetelmällä.

Vaihe M (kuvio 1M):

Vaiheessa M valmistetaan johdinkuvio samaan tapaan kuin vaiheessa D.

10 Vaiheet N ja O (kuviot 1N ja 1O):

Vaiheissa N ja O piirilevyn pinnoille levitetään valokuvioitava polymeeri 14 ja muodostetaan polymeeriin 14 haluttu kuvio (vastaavalla tavalla kuin vaiheissa D ja M). Valotettu polymeerikalvo kehitetään, mutta piirilevylle jäävää polymeerikalvokuviota ei poisteta.

15 Vaihe (kuvio 1P):

Vaiheessa P päällystetään 15 edellisessä vaiheessa muodostetun polymeerikalvon kuvion liitosalueet. Päällystys 15 voidaan tehdä esim. Ni/Au-pinnoitteella tai OSP:llä (orgaaninen suoja-pinnoite).

- 20 Kuvion 1 esimerkki kuvaa yhden sellaisen prosessin, jonka avulla keksintöämme voidaan käyttää hyväksi. Keksintöämme ei siis mitenkään rajoitu edellä esitettyyn prosessiin vaan keksintö kattaa suuren joukon erilaisia prosesseja ja näiden lopputuotteita patenttivaatimusten täydessä laajuudessa ja ekvivalenssitulkinta huomioon ottaen. Erityisesti keksintö ei mitenkään rajoitu esimerkin kuvaamaan
- 25 layoutiin vaan alan ammattihenkilölle on selvää, että keksintöämme mukaisilla prosesseilla voidaan valmistaa hyvin monenlaisia piirilevyjä, jotka poikkeavat suurestikin tässä esitetyistä esimerkeissä. Kuviodien mikropiirit ja johdotukset on siis esitetty ainoastaan valmistusprosessin havainnollistamistarkoituksessa. Edellä esitetyn esimerkin prosessiin voidaan tehdä siis runsaasti muutoksia poikkeamatta silti

keksinnön mukaisesta ajatuksesta. Muutokset voivat liittyä eri vaiheissa kuvattuihin valmistustekniikoihin tai esim. vaiheiden keskinäiseen järjestykseen. Esimerkiksi vaihe B voidaan aivan hyvin suorittaa vaiheen D jälkeen, eli menetellä siten, että pora kohdistetaan kuvioon sen sijaan että kuvio kohdistettaisiin porattuihin reikiin.

- 5 Edellä esitetyn esimerkin prosessiin voidaan myös lisätä tarpeelliseksi katsottuja vaiheita. Piirilevyn ensimmäiselle puolelle (1a) voidaan esimerkiksi laminoida kalvo, joka suojaa piirilevyn pintaa vaiheessa H tehtävän valun aikana. Tällainen suojakalvo valmistetaan siten, että se peittää kaikki muut alueet paitsi reiät 6. Suojakalvon ansiosta piirilevyn pinta jää puhtaaksi, kun valuepoksi levitetään lastalla. Suojakalvo voidaan
- 10 valmistaa soveltuvassa vaiheessa ennen vaihetta H ja se poistetaan piirilevyn pinnasta välittömästi valun jälkeen.

Menetelmän avulla voidaan myös valmistaa komponenttipaketteja piirilevylle liittämistä varten. Tällaiset paketit voivat sisältää myös useampia puolijohdekomponentteja, jotka on kytketty sähköisesti toisiinsa.

- 15 Menetelmällä voidaan valmistaa myös kokonaisia sähköisiä moduuleja. Kuvion 1 esittämää prosessia voidaan soveltaa myös siten, että johderakenne valmistetaan ainoastaan piirilevyn toiselle puolelle 1b, eli sille puolelle, jonne mikropiirin kontaktipinnat suuntautuvat.

- 20 Menetelmällä voidaan valmistaa esimerkiksi sellaisia piirilevyjä tai sähköisiä moduuleja, joissa käytetyn pohjalevyn paksuus on välillä 50-200 mikrometriä ja mikropiirin ja mikropiirien paksuus on välillä 50-150 mikrometriä. Johtimien väli (pitch) voi vaihdella esim. välillä 50 – 250 mikrometriä ja mikroläpivientien halkaisija voi olla esim. 15 – 50 mikrometriä. Tällä tavalla yhden levyn kokonaispaksuus yksikerroksisessa rakenteessa on noin 100-300 mikrometriä.

- 25 Keksintöä voidaan soveltaa myös siten, että piirilevyjä ladotaan päällekkäin ja näin muodostetaan monikerroksinen piirilevyrakenne, jossa on useita kuvion 1 kaltaisesti valmistettuja piirilevyjä päällekkäisesti ja kytkettynä sähköisesti toisiinsa. Päällekkäin liitettävät piirilevyt voivat olla myös sellaisia piirilevyjä, joissa johderakenne on valmistettu ainoastaan piirilevyn toiselle puolelle 1b, mutta joka kuitenkin käsittää
- 30 läpiviennit, joiden kautta mikropiireihin voidaan muodostaa sähköinen kontakti myös piirilevyn ensimmäiseltä pinnalta käsin. Kuviossa 2 on esitetty 1 tällainen prosessi.

Kuvio 2 kuvaa piirilevyjen liittämistä yhteen. Seuraavassa prosessia kuvataan vaiheittain.

Vaihe 2A (kuvio 2A):

5 Vaihe 2A kuvaa piirilevyjen asettamista päällekkäin. Alinmainen piirilevy voidaan saada esim. modifioidusta kuvion 1 prosessista vaiheen I jälkeen. Kuvion 1 prosessia on tällöin modifioitu siten, että vaihe 1C on jätetty pois.

10 Keskimmäinen ja ylimmäinen piirilevy voidaan puolestaan saada esim. modifioidusta kuvion 1 prosessista vaiheen M jälkeen. Kuvion 1 prosessia on tällöin modifioitu siten, että vaihe 1C on jätetty pois ja vaiheet J, K ja L on suoritettu ainoastaan piirilevyn toiselle puolelle (1b).

Piirilevyjen lisäksi kuviossa 2A on esitetty piirilevyjen väliin asetetut pre-preg-epoksikerrokset 21.

Vaihe 2B (kuvio 2B):

15 Vaiheessa 2B piirilevyt on laminoitu yhteen pre-preg-epoksikerrosten 21 avulla. Lisäksi piirilevyn molemmille pinnoille valmistetaan metallipinnoitettu polymeerikalvo 22. Prosessi vastaa kuvion 1 prosessin vaihetta J.

Vaihe 2C (kuvio 2C):

Vaiheessa 2C piirilevyyn porataan läpireiät 23 kontaktien muodostamista varten.

Vaiheen 2C jälkeen prosessia voidaan jatkaa esim. seuraavasti:

20 **Vaihe 2D:**

Vaiheessa 2D piirilevyn päälle ja läpireikiin 23 kasvatetaan johdemateriaalia vaiheen 1C tapaan.

Vaihe 2E:

Vaiheessa 2E piirilevyn pinnalla oleva johdekerros kuviodaan vaiheen 1D tapaan.

25 **Vaihe 2F:**

Vaiheessa 2F piirilevyn pinnoille levitetään valokuvioitava polymeeri ja muodostetaan polymeeriin haluttu kuvio vaiheiden 1N ja 1O tapaan. Valotettu polymeerikalvo kehitetään, mutta piirilevylle jäävää polymeerikalvokuviota ei poisteta.

Vaihe 2G:

- 5 Vaiheessa 2G metalloidaan edellisessä vaiheessa muodostetun polymeerikalvon kuvion liitosalueet vaiheen 1P tapaan.

10 Kuvion 2 esimerkin perusteella on selvää, että menetelmää voidaan käyttää myös monenlaisten kolmedimensionaalisten piirirakenteiden valmistamiseen. Menetelmää voidaan käyttää esim. siten, että useita muistipiirejä sijoitetaan päällekkäin ja näin muodostetaan useita muistipiirejä sisältävä paketti, jossa muistipiirit on kytketty toisiinsa yhdeksi toiminnalliseksi kokonaisuudeksi. Tällaista pakettia voidaan kutsua kolmedimensionaaliseksi multichip-moduuliksi. Tällaisessa moduulissa chipit voidaan valita vapaasti ja eri chippien väliset kontaktit voidaan helposti valmistaa valittujen piirien mukaisesti.

15 Keksintö mahdollistaa myös sähkömagneettisen suojan valmistamisen alustaan upotetun komponentin ympärille. Kuvion 1 menetelmää voidaan nimittäin modifioida siten, että vaiheessa 1E kuvattu reikien 6 valmistus suoritetaan vaiheessa 1B tehtävän reikien 3 valmistuksen yhteydessä. Tällöin vaiheessa 1C valmistettava johdekerros 4 peittää myös komponentteja varten valmistettujen reikien 6 sivuseinämät. Kuviossa 3A on esitetty alustarakenteen poikkileikkaus sellaisena kuin se on vaiheen 1F jälkeen edellä mainitulla tavalla modifioitussa prosessissa.

20 Kuvion 3A esittämän välivaiheen jälkeen prosessia voidaan jatkaa siten, että reikiin ladotaan mikropiirit vaiheen 1G kaltaisesti, mikropiirit kiinnitetään vaiheen 1H kaltaisesti, teippi poistetaan vaiheen 1I kaltaisesti ja piirilevyn molemmille pinnoille valmistetaan polymeeri- ja metallikalvot vaihetta 1J vastaavalla tavalla. Kuvio 3B esittää alustarakenteen esimerkinomaisen poikkileikkauksen näiden prosessivaiheiden jälkeen.

25 Kuvion 3B esittämän välivaiheen jälkeen prosessia voidaan jatkaa siten, että polymeerikalvoon valmistetaan vaiheen 1K kaltaisesti reiät kontaktointia varten. Tämän

30

jälkeen reikiin ja levyn pinnoille valmistetaan johdekerros vaihetta 1L vastaavalla tavalla. Kuvio 3C esittää alustarakenteen esimerkinomaisen poikkileikkauksen näiden prosessivaiheiden jälkeen. Reikiin ja levyn pinnoille vaihetta 1L vastaavasti valmistettu johdekerros on selvyiden vuoksi korostettu mustalla värillä.

- 5 Kuvion 3C esittämän välivaiheen jälkeen prosessia voidaan jatkaa kuvioimalla levyn pinnoilla oleva johdekerros vaiheen 1M tapaan ja päällystämällä levyn pinnat vaiheessa 1N esitetyn kaltaisesti. Näiden vaiheiden jälkeen mikropiirejä ympäröi lähes yhtenäinen metallikalvo, joka muodostaa tehokkaan suojan sähkömagneettisen vuorovaikutuksen aiheuttamia häiriöitä vastaan. Tätä rakennetta on kuvattu kuviossa 3D. Kuvion 3D
- 10 esittämän välivaiheen jälkeen suoritetaan vielä vaiheita 1O ja 1P vastaavat vaiheet, joissa valmistetaan piirilevyn pinnalle suojakalvo ja liitokset.

- Kuviossa 3D mikropiirejä suojaavien metallikerrosten poikkileikkaukset on korostettu mustalla värillä. Lisäksi kuviossa on korostettu ruutukuviolla mikropiirin tausta. Ruutukuvion tarkoitus on muistuttaa siitä, että mikropiiriä varten valmistetun reiän
- 15 kaikkia sivuja peittää metallikalvo. Sivusuunnassa mikropiiriä siis ympäröi yhtenäinen metallikalvo. Tämän lisäksi mikropiirin yläpuolelle voidaan suunnitella metallilaatta, joka valmistetaan piirilevyn johdekuvioiden valmistamisen yhteydessä. Vastaavalla tavalla myös mikropiirin alapuolelle valmistetaan mahdollisimman kattava metallikalvo. Mikropiirin kontaktoinnin johdosta alapuolen metallikalvoon joudutaan
- 20 valmistamaan pieniä rakoja esim. kuviossa 3D esitettyyn tapaan. Nämä raot voidaan kuitenkin valmistaan leveyssuunnassa niin kapeiksi tai vastaavasti korkeussuunnassa niin ohuiksi, että ne eivät heikennä sähkömagneettisia häiriöitä vastaan saatavaa suojavaikutusta.

- Kuvion 3D esimerkkiä tarkasteltaessa on myös otettava huomioon se, että lopullinen
- 25 rakenne sisältää myös sellaisia osia, jotka ulottuvat kuvion esittämää tasoa vastaan kohtisuorassa suunnassa. Tällaista kohtisuorassa suunnassa ulottuvaa rakennetta esittää kuvion 3D vasemmanpuoleisen mikropiirin vasemmanpuoleiseen kontaktinystyyn yhdistetty johde, joka kulkee mikropiiriä sivusuunnassa ympäröivän metallikalvon ja mikropiirin alapuolella olevien johdetasojen välistä katsojaa kohti.

- 30 Kuvion 3D kuvaama ratkaisu tarjoaa siis mikropiirille erittäin hyvän suojan sähkömagneettista häiriösaiteilyä vastaan. Koska suoja valmistetaan välittömästi

- 5 mikropiirin ympärille, rakenne tarjoaa suojaa myös piirilevyn sisältämien komponenttien toisilleen aiheuttamia keskinäisiä häiriöitä vastaan. Sähkömagneettinen suojarakenne voidaan myös suurimmaksi osaksi maadoittaa, sillä mikropiiriä sivusuunnassa ympäröivä metallikalvo voidaan yhdistää sähköisesti piirin yläpuolella olevaan metallilaattaan. Piirilevyn johdotus taas voidaan suunnitella siten, että metallilaatta maadoitetaan piirilevyn johderakenteen välityksellä.

Patenttivaatimukset:

1. Menetelmä komponentin upottamiseksi alustaan ja sähköisten kontaktien muodostamiseksi komponenttiin, jossa menetelmässä

- otetaan alustan pohjalevy,
- 5 — valmistetaan pohjalevyllä johdinkuvioita,
- valmistetaan pohjalevyyn reikä siten, että reiän sijainti valitaan pohjalevyllä valmistettujen johdinkuvioiden suhteen,
- asetetaan reikään komponentti siten, että komponentti kohdistetaan pohjalevyllä valmistettujen johdinkuvioiden suhteen,
- 10 — kiinnitetään komponentti paikalleen pohjalevyyn valmistettuun reikään,
- valmistetaan eristekerros ainakin alustan yhdelle pinnalle siten, että eristekerros peittää komponentin,
- valmistetaan eristekerrokseen kontaktiaukot komponenttia varten, ja
- 15 — valmistetaan kontaktiaukkoihin ja eristekerroksen päälle johteet sähköisten kontaktien muodostamiseksi komponenttiin.

2. Patenttivaatimuksen 1 mukainen menetelmä, jossa piirilevyn pohjalevyyn komponenttia varten valmistettava reikä on läpireikä.

- 20 3. Patenttivaatimuksen 2 mukainen menetelmä, jossa komponenttia varten valmistetun reiän sivuseinille kasvatetaan johdemateriaalia häiriösuojan valmistamiseksi komponentin ympärille.

- 25 4. Jonkin patenttivaatimuksen 1 - 3 mukainen menetelmä, jossa reikään asetettava komponentti on mikropiiri, jonka ensimmäisellä pinnalla on kontaktialueet tai kontaktiulokkeet sähköisten kontaktien muodostamista varten.

5. Patenttivaatimuksen 4 mukainen menetelmä, jossa reiän valmistamisen jälkeen

- pohjalevyn ensimmäiselle pinnalle laminoidaan teippi tai teippimäinen kalvo,
- mikropiiri asetetaan pohjalevyyn tehtyyn reikään pohjalevyn toisen pinnan puolelta siten, että mikropiirin ensimmäinen pinta tulee teippiä tai teippimäistä kalvoa vasten ja olennaisesti samaan tasoon pohjalevyn ensimmäisen pinnan kanssa, ja
- kiinnitetään mikropiiri paikalleen piirilevyn valmistettuun reikään täyttämällä reikä täytemateriaalilla.

10

6. Patenttivaatimuksen 5 mukainen menetelmä, jossa mikropiirin kiinnittämisen jälkeen

- poistetaan pohjalevyn ensimmäiselle pinnalle laminoitu teippi tai teippimäinen kalvo,
- laminoidaan pohjalevyn ensimmäiselle pinnalle RCC-kalvo, ja
- valmistetaan RCC-kalvoon johdinkuviot sekä kontaktiaukot komponenttia varten.

15

7. Patenttivaatimuksen 5 mukainen menetelmä, jossa alustaan valmistetaan reikiä läpivientejä varten ja mikropiirin kiinnittämisen jälkeen

- poistetaan pohjalevyn ensimmäiselle pinnalle laminoitu teippi tai teippimäinen kalvo,
- laminoidaan pohjalevyn ensimmäiselle ja toiselle pinnalle RCC-kalvot,
- valmistetaan pohjalevyn ensimmäiselle pinnalle laminoituun RCC-kalvoon johdinkuviot sekä kontaktiaukot komponenttia ja läpivientejä varten, ja

20

25

- valmistetaan pohjalevyn toiselle pinnalle laminoituun RCC-kalvoon johdinkuviot sekä kontaktiaukot läpivientejä varten.

5 8. Patenttivaatimuksen 5 mukainen menetelmä, jossa mikropiiriin kiinnittämisen jälkeen

- poistetaan pohjalevyn ensimmäiselle pinnalle laminoitu teippi tai teippimäinen kalvo,
- valmistetaan pohjalevyn ensimmäiselle pinnalle pre-preg epoksikalvo,
- valmistetaan epoksikalvoon kontaktiaukot komponenttia varten, ja
- 10 – valmistetaan epoksikalvon päälle johdinkuviot.

9. Patenttivaatimuksen 5 mukainen menetelmä, jossa alustaan valmistetaan reikiä läpivientejä varten ja mikropiiriin kiinnittämisen jälkeen

- 15 – poistetaan pohjalevyn ensimmäiselle pinnalle laminoitu teippi tai teippimäinen kalvo,
- laminoidaan pohjalevyn ensimmäiselle ja toiselle pinnalle pre-preg epoksikalvot,
- valmistetaan pohjalevyn ensimmäisen pinnan epoksikalvoon kontaktiaukot komponenttia ja läpivientejä varten, ja
- 20 – valmistetaan pohjalevyn toisen pinnan epoksikalvoon kontaktiaukot läpivientejä varten.

25 10. Jonkin patenttivaatimuksen 4 - 9 mukainen menetelmä, jossa mikropiiriin muodostetaan sähköinen kontakti pohjalevyn ensimmäisen pinnan suunnasta sen jälkeen kun mikropiiri on asetettu pohjalevyyn tehtyyn reikään.

11. Jonkin patenttivaatimuksen 4 - 10 mukainen menetelmä, jossa mikropiiriin muodostetaan sähköinen kontakti kasvattamalla mikropiirin kontaktialueiden tai kontaktiulokkeiden päälle johtavaa materiaalia.

5 12. Jonkin patenttivaatimuksen 4 - 11 mukainen menetelmä, jossa sähköinen kontakti mikropiiriin muodostetaan juotteettomasti piirilevynvalmistustekniikalla.

13. Jonkin patenttivaatimuksen 1 - 12 mukainen menetelmä, jossa alustaan upotetaan vastaavalla tavalla useampi kuin yksi komponentti.

10

14. Patenttivaatimuksen 13 mukainen menetelmä, jossa pohjalevyyn valmistetaan oma reikä kullekin alustaan upotettavalle komponentille ja kukin alustaan upotettava komponentti sijoitetaan omaan reikäänsä.

15 15. Jonkin patenttivaatimuksen 1 - 14 mukainen menetelmä, jossa alustaan upotetaan ainakin kaksi mikropiiriä, ja jossa kasvatetaan johdekerros, joka liittyy suoraan ainakin kahden mikropiirin kontaktialueisiin tai kontaktiulokkeisiin mikropiirien yhdistämiseksi sähköisesti toisiinsa toiminnalliseksi kokonaisuudeksi.

20 16. Jonkin patenttivaatimuksen 1 - 15 mukainen menetelmä, jossa valmistetaan monikerrosrakenne, jossa on ainakin neljä päällekkäistä johdinkerrosta.

25 17. Jonkin patenttivaatimuksen 1 - 16 mukainen menetelmä, jossa valmistetaan ensimmäinen alusta ja ainakin yksi toinen alusta ja ladotaan ja kiinnitetään alustat päällekkäin siten, että alustat tulevat kohdistetuiksi toistensa suhteen.

18. Jonkin patenttivaatimuksen 1 - 16 mukainen menetelmä, jossa

- valmistetaan ensimmäinen ja toinen alusta sekä välikerros,
- asetetaan toinen alusta ensimmäisen alustan yläpuolelle ja kohdistetaan toinen alusta ensimmäisen alustan suhteen,
- 5 – tuodaan välikerros ensimmäisen ja toisen alustan väliin, ja
- laminoidaan ensimmäinen ja toinen alusta toisiinsa välikerroksen avulla.

19. Patenttivaatimuksen 18 mukainen menetelmä, jossa

- 10 – valmistetaan ainakin yksi kolmas alusta sekä välikerros kutakin kolmatta alustaa varten,
- asetetaan vuorollaan kukin kolmas alusta ensimmäisen ja toisen alustan yläpuolelle ja kohdistetaan kukin kolmas alusta jonkin alemman alustan suhteen,
- tuodaan välikerros kunkin kolmannen alustan alle, ja
- laminoidaan ensimmäinen, toinen ja kukin kolmas alusta toisiinsa välikerrosten
- 15 avulla.

20. Jonkin patenttivaatimuksen 17 - 19 mukainen menetelmä, jossa päällekkäin kiinnitettyjen alustojen läpi porataan reikiä läpivientejä varten ja valmistetaan porattuihin reikiin johteet kullakin alustalla olevien elektroniikkapiirien kytkemiseksi toisiinsa toiminnalliseksi kokonaisuudeksi.

21. Jonkin patenttivaatimuksen 1 - 20 mukainen menetelmä, jossa pohjalevyn, komponentin ja komponenttiin välittömästi liittyvän johdekerroksen lämpötila on prosessin aikana alle 200 °C ja edullisesti välillä 20 – 85 °C.

22. Elektroniikkamoduuli, joka on valmistettu jonkin patenttivaatimuksen 1 - 21 mukaisella menetelmällä.

(57) Tiivistelmä:

Tässä julkaisussa on kuvattu menetelmä, jossa elektroniikka-piiriin tulevat puolijohdekomponentit tai ainakin osa niistä upotetaan alustaan, kuten piirilevyyn, alustan valmistamisen aikana. Tällöin osa alustarakenteesta ikään kuin valmistetaan puolijohdekomponenttien ympärille. Keksinnön mukaan alustaan valmistetaan ensin ainakin yksi johdinkuvio sekä läpireiät puolijohdekomponentteja varten. Tämän jälkeen reikiin sijoitetaan puolijohdekomponentit johdinkuvion suhteen kohdistettuina. Puolijohdekomponentit kiinnitetään alustan rakenteeseen ja alustan valmistetaan yksi tai useampia johdinkuviokerroksia siten, että ainakin yksi johdinkuvio muodostaa sähköisen kontaktin puolijohdekomponentin pinnalla olevien kontaktialueiden kanssa.

(Kuvio 2C)

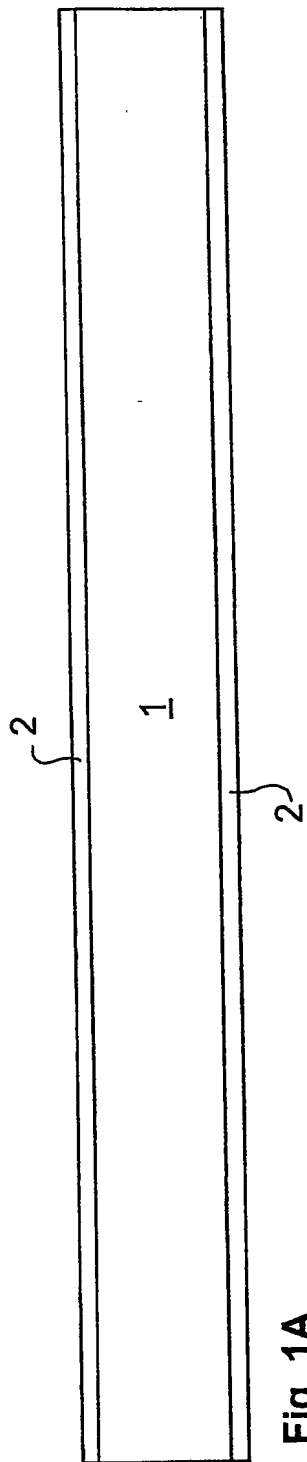


Fig. 1A

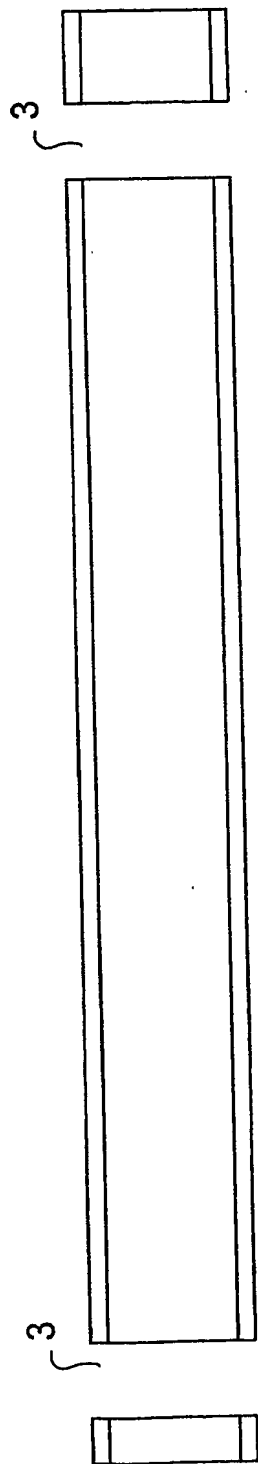


Fig. 1B

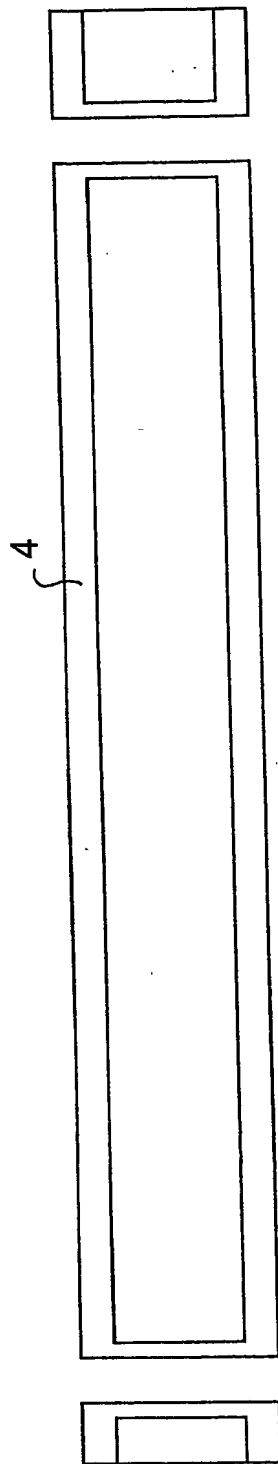


Fig. 1C

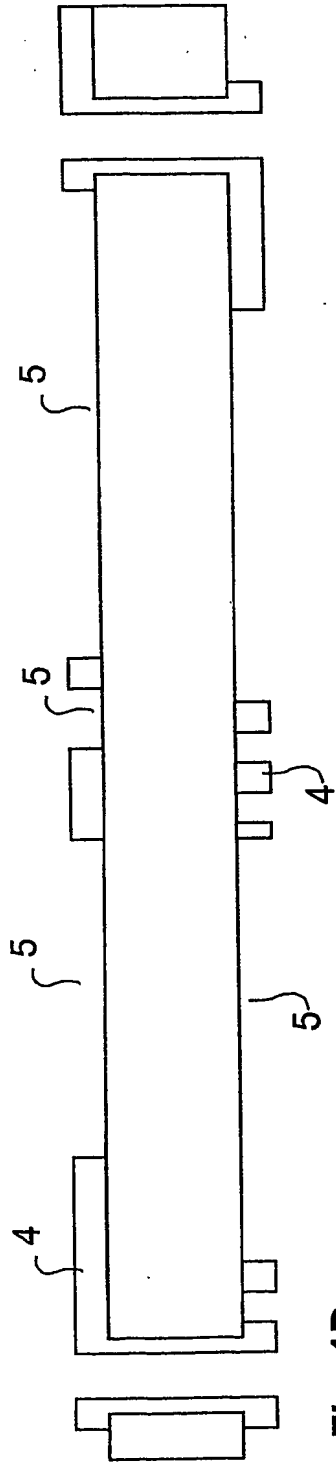


Fig. 1D

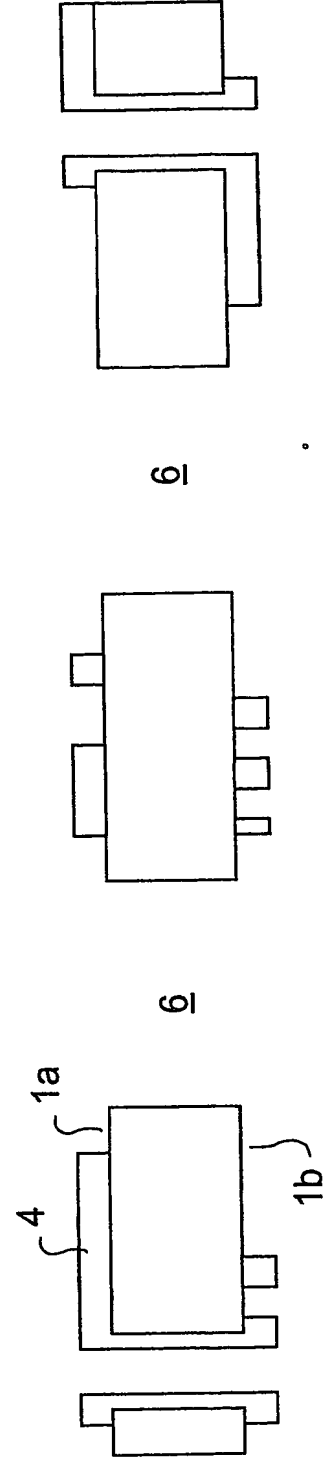


Fig. 1E

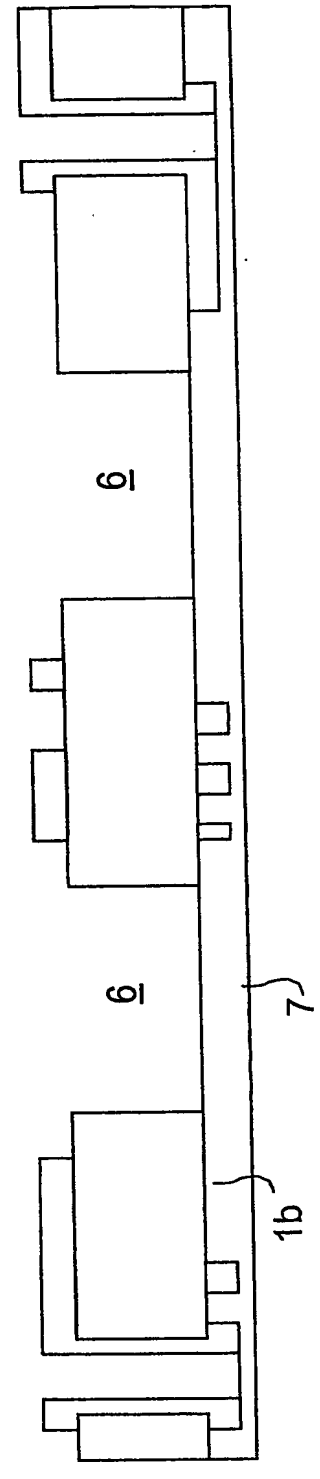


Fig. 1F

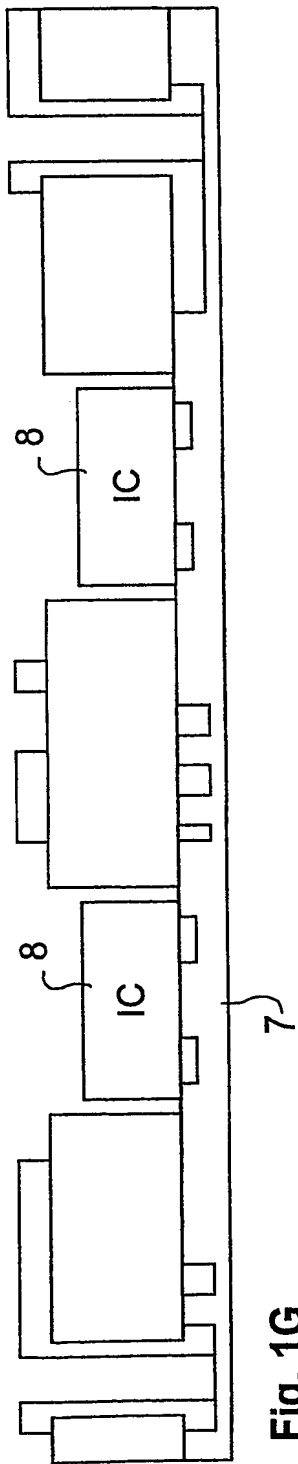


Fig. 1G

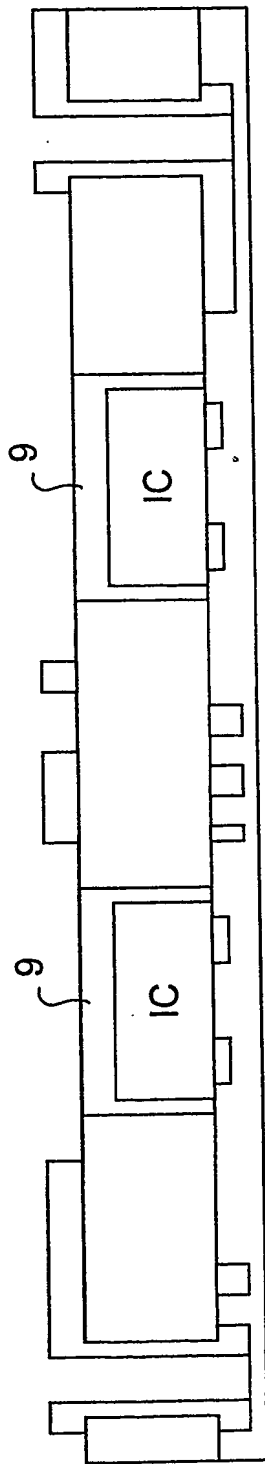


Fig. 1H

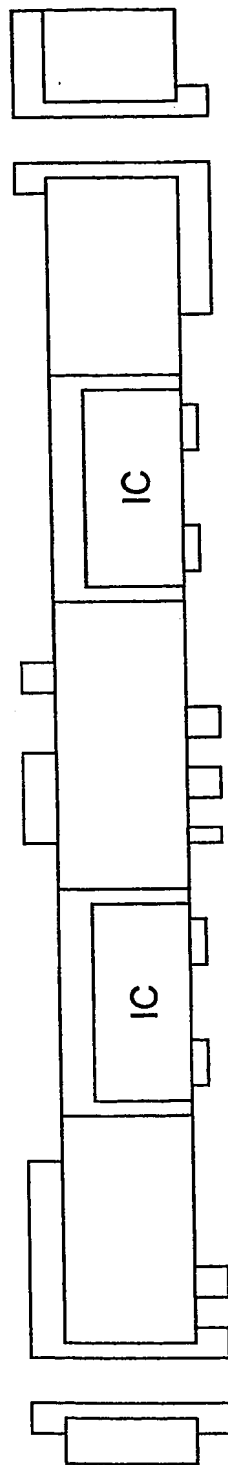


Fig. 1I

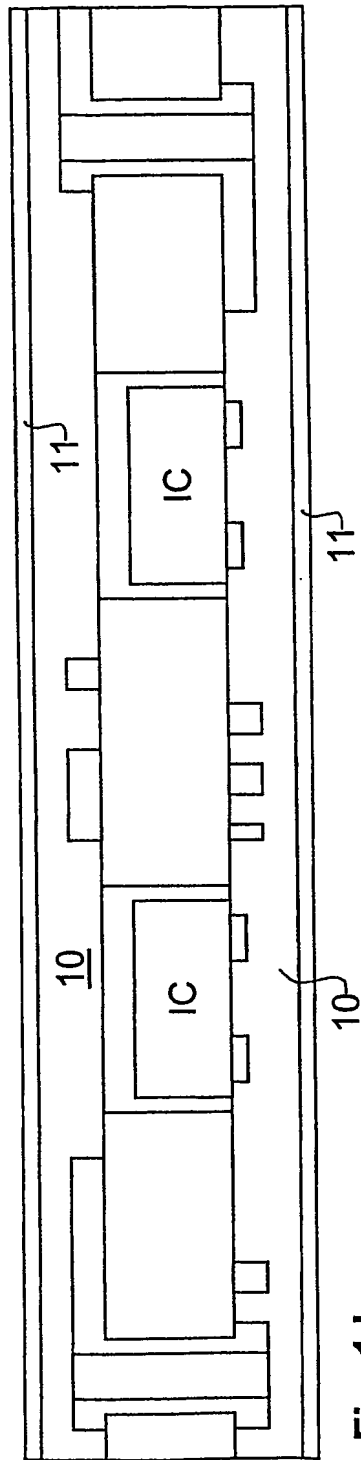


Fig. 1J

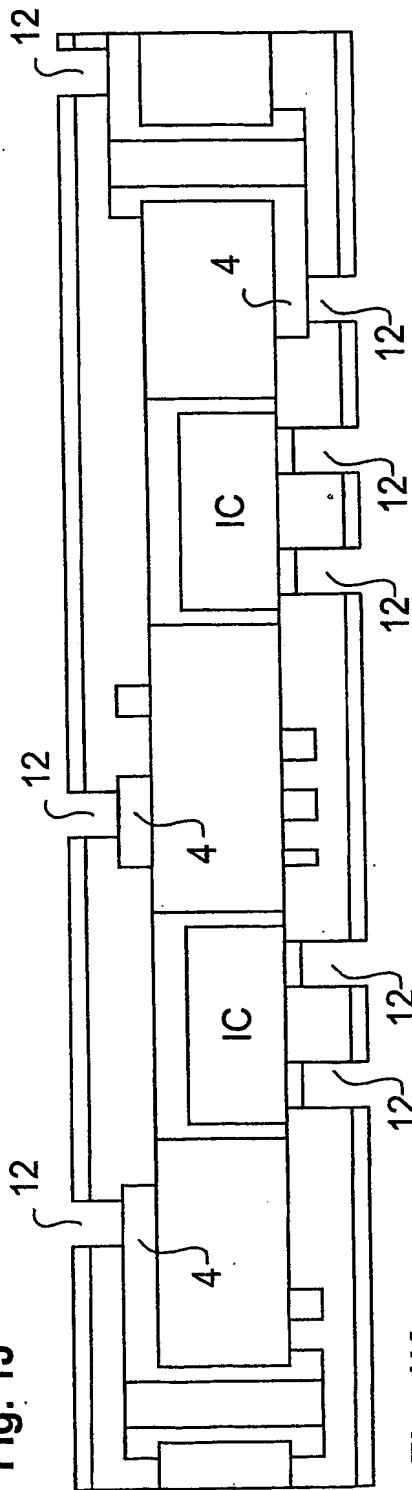


Fig. 1K

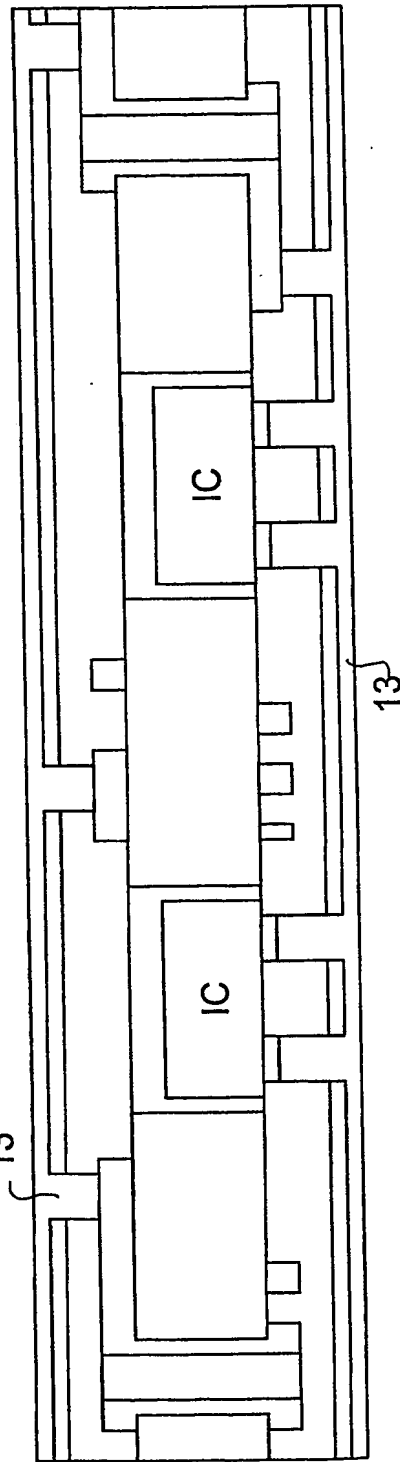


Fig. 1L

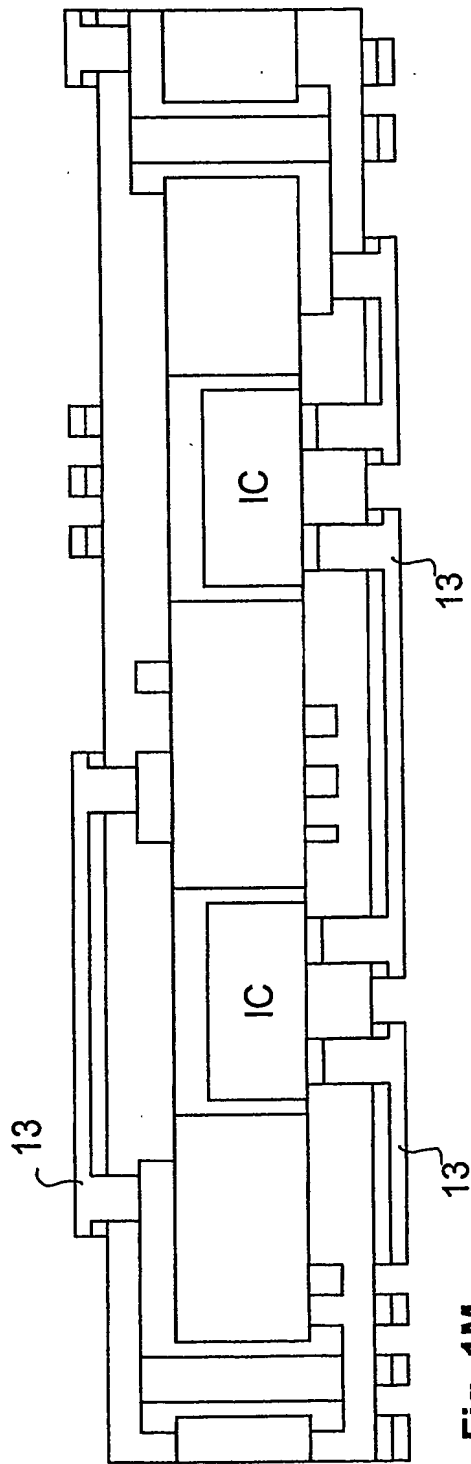


Fig. 1M

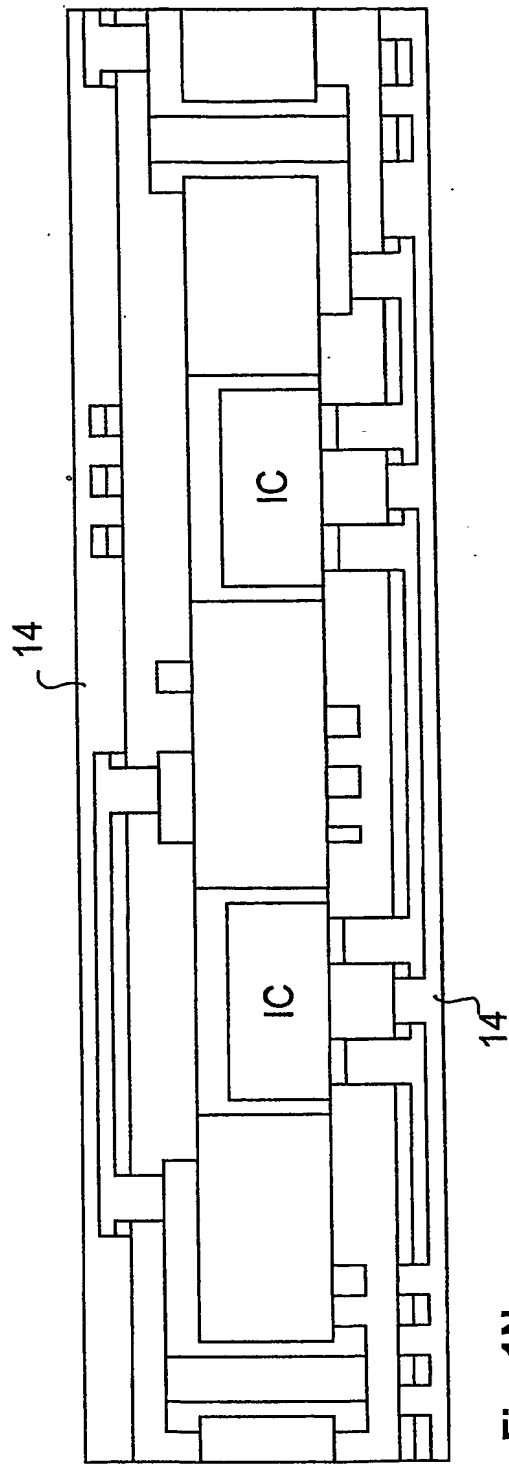


Fig. 1N

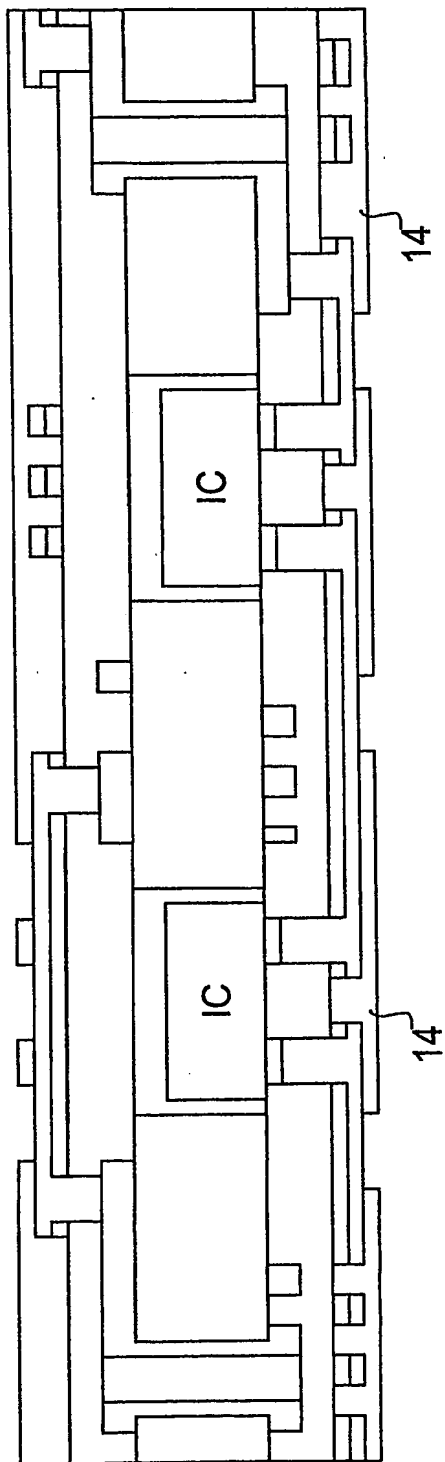


Fig. 10

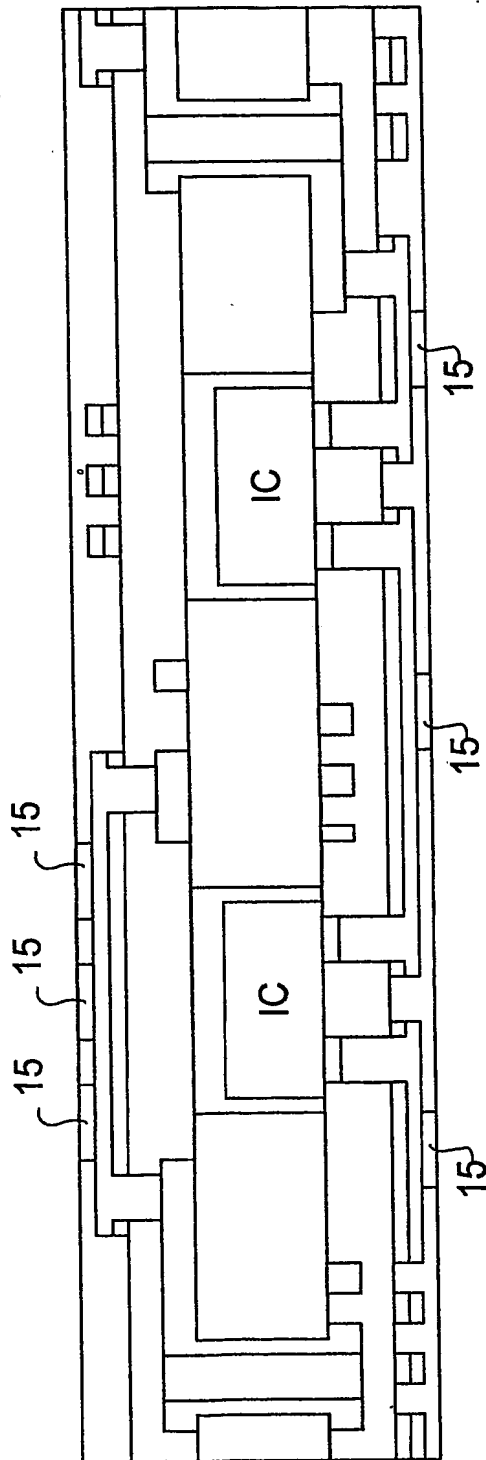


Fig. 1P



Fig. 2A

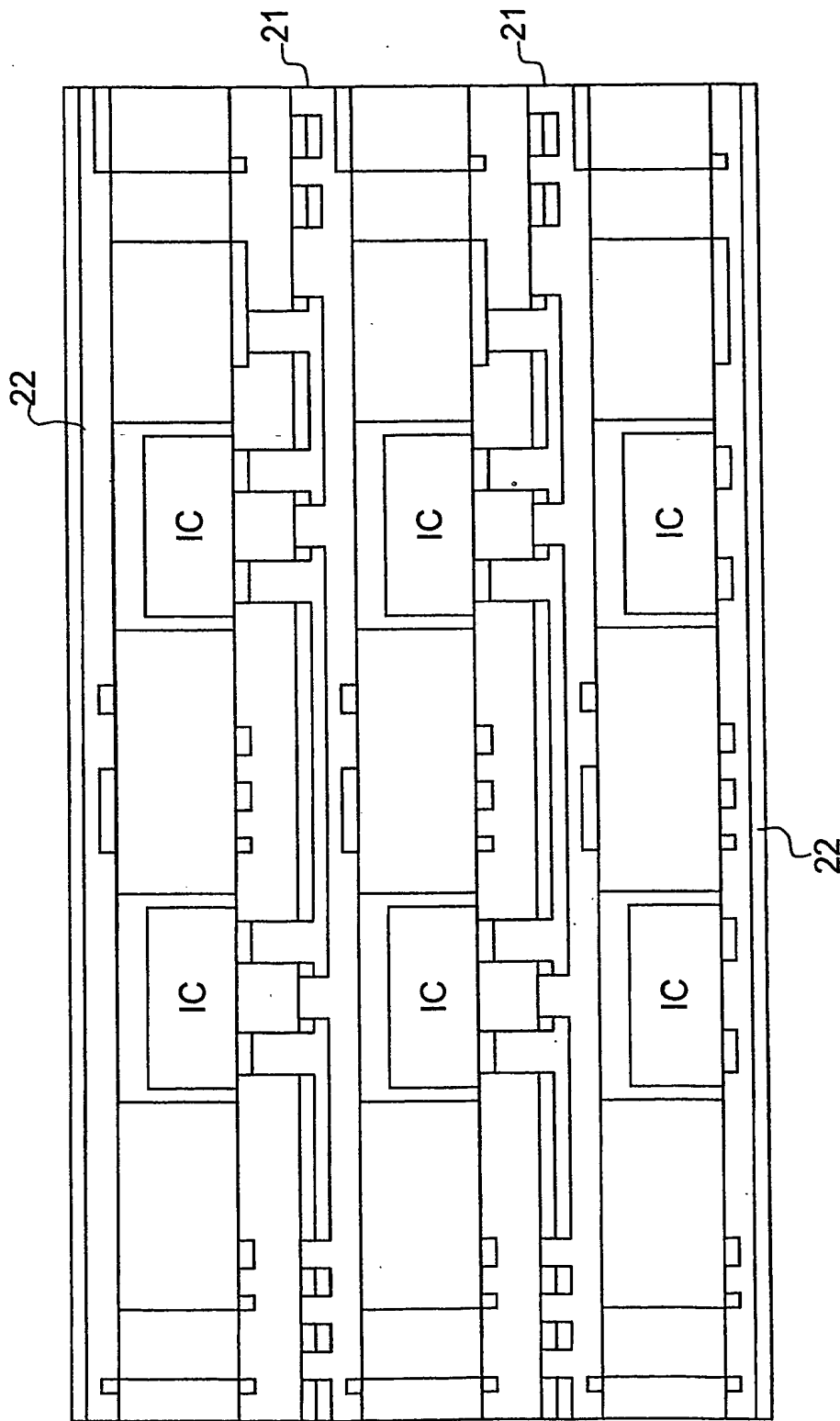


Fig. 2B

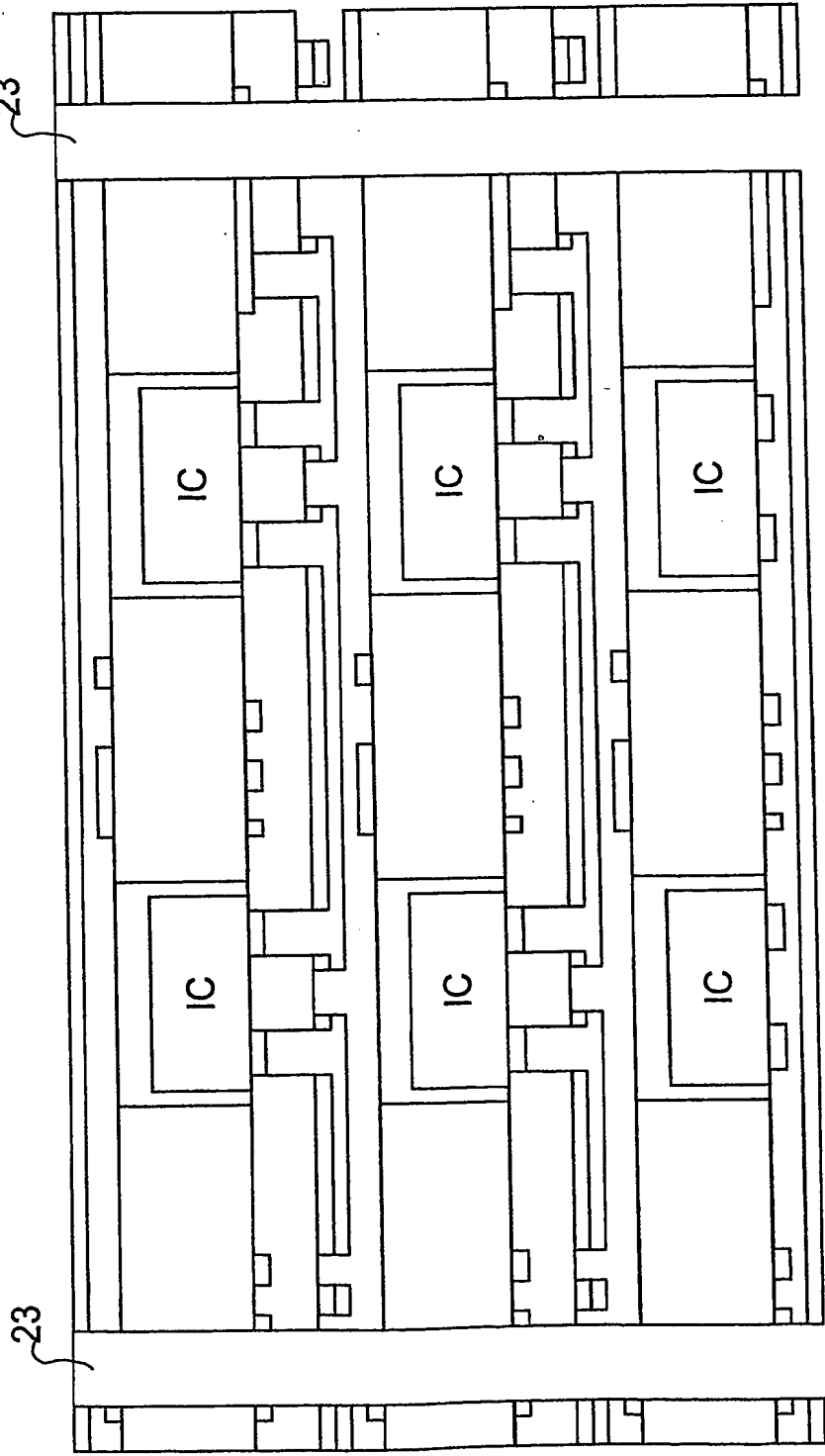


Fig. 2C

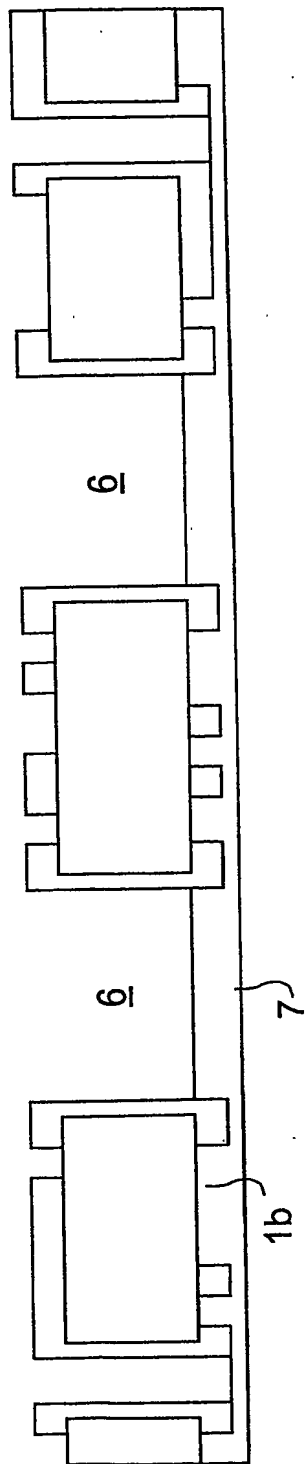


Fig. 3A

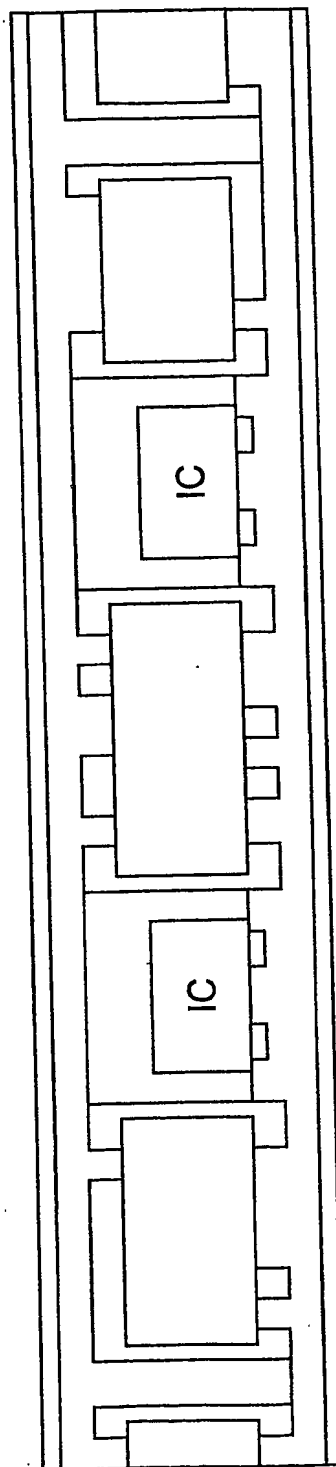


Fig. 3B

L5

10

